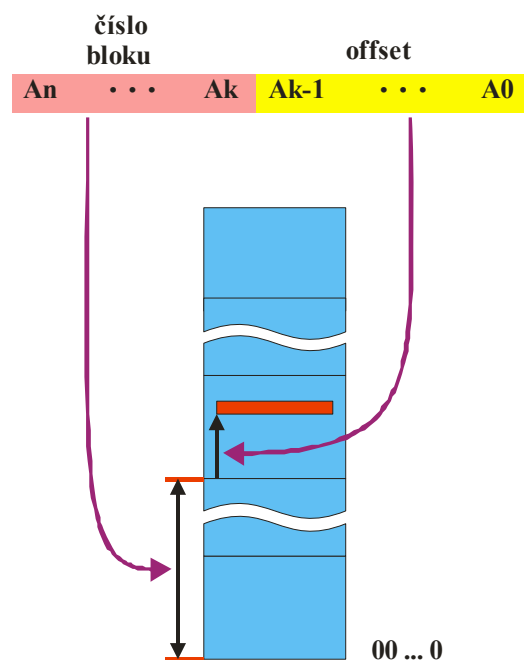


Návrh paměti

požadované velikosti a vlastností

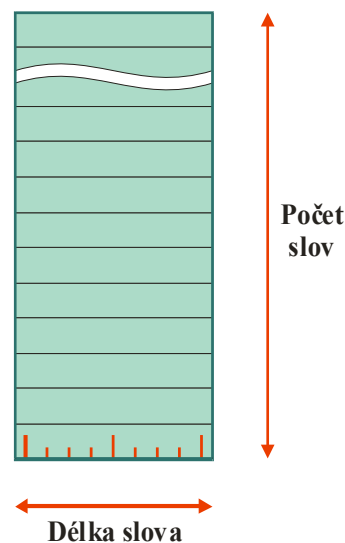
Interpretace adresy

- Ve kterémkoliv místě lze adresu rozdělit na číslo bloku a offset uvnitř bloku.
- Velikost bloku je dána délkou příslušné části adresy (na obrázku 2^k slov).
- Počet bloků je dán vyšší částí adresy (na obrázku 2^{n-k+1}).



Kapacita paměti

- Kapacita paměti = počet slov × délka slova.
- Udává někdy v počtu bitů (např. 64 Mb).
- Častěji s ohledem na organizaci jako součin počet slov × délka slova, např. 256k × 8 (256 k slov po 8 bitech).



Základní počty

- **1 byte = 8 bitů.**
 - **1 kbit (kb) = 2^{10} bitů = 1024 bitů.**
 - **1 kByte (kB) = 2^{10} bytů = 1024 bytů.**
 - **1 MByte (MB) = 2^{20} bytů = 2^{10} kB = 1 048 576 bytů.**
 - **1 GByte (GB) = 2^{30} bytů = 2^{20} kB = 2^{10} MB = 1 073 741 824 bytů.**
- Má-li paměť kapacitu 1 kB, tj. 2^{10} bytů, je k jejímu adresování zapotřebí 10 adresních bitů (předpokládáme bytovou organizaci paměti).
 - Má-li paměť kapacitu 2 kB, tj. 2^{11} bytů, je k jejímu adresování zapotřebí 11 adresních bitů.
 - atd.

Základní počty

$$2^m \times 2^n = 2^{m+n}$$

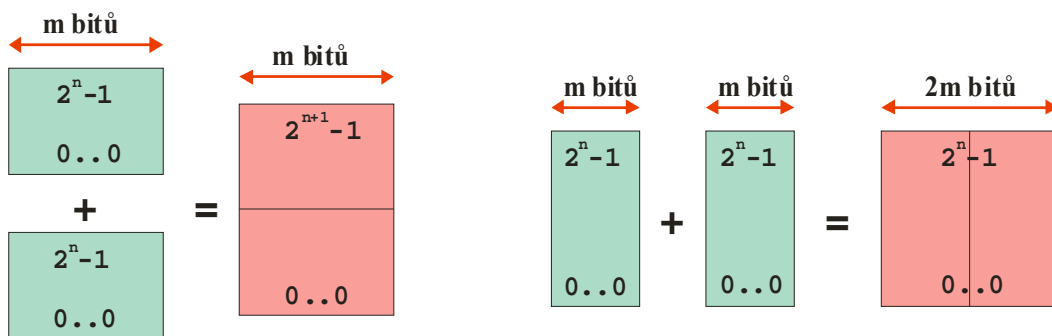
$$128 \text{ k} = 128 \times 2^{10} = 2^7 \times 2^{10} = 2^{17}$$

$$2^{24} = 2^4 \times 2^{20} = 16 \times 2^{20} = 16 \text{ M}$$

2^0	=	1
2^1	=	2
2^2	=	4
2^3	=	8
2^4	=	16
2^5	=	32
2^6	=	64
2^7	=	128
2^8	=	256
2^9	=	512
2^{10}	=	1024

Základní úlohy zvětšení kapacity paměti

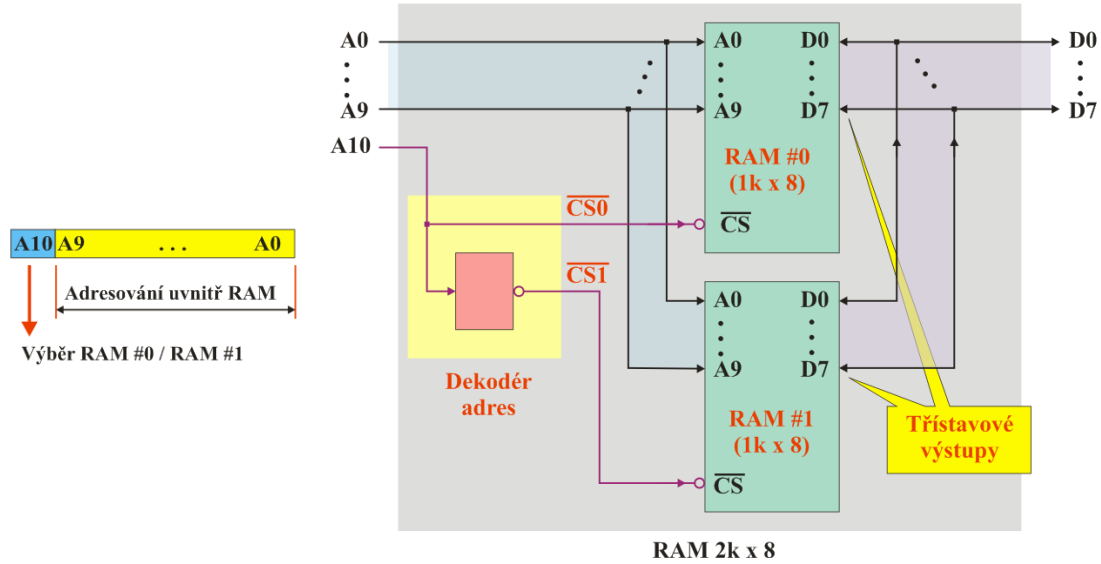
- Zvětšení počtu slov
- Zvětšení délky slova



Zvětšení počtu slov

Příklad: Sestavení paměti $2k \times 8$ ze dvou obvodů $1k \times 8$.

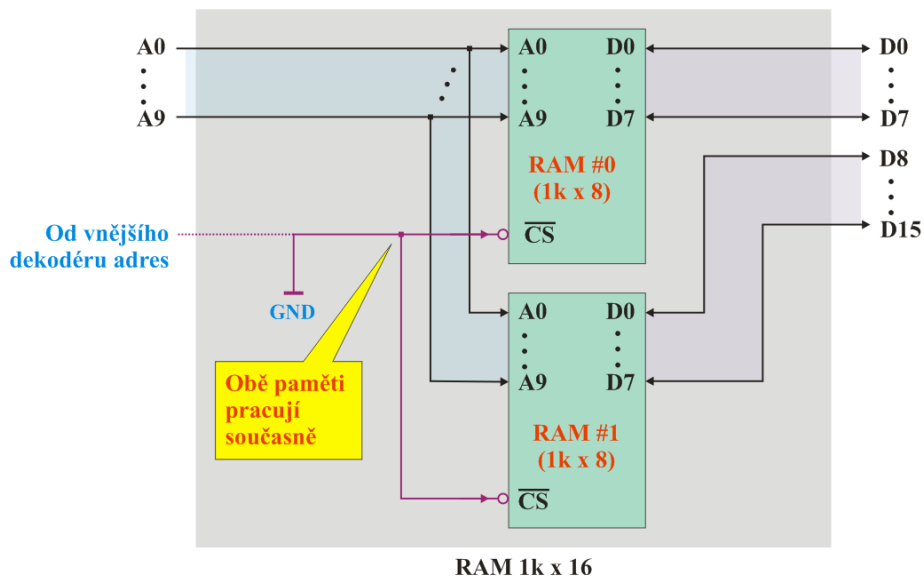
- $1k = 2^{10} \Rightarrow$ adresování 10 adresními vodiči.
- $2k = 2^{11} \Rightarrow$ adresování 11 adresními vodiči.



Zvětšení délky slova

Příklad: Sestavení paměti $1k \times 16$ ze dvou obvodů $1k \times 8$.

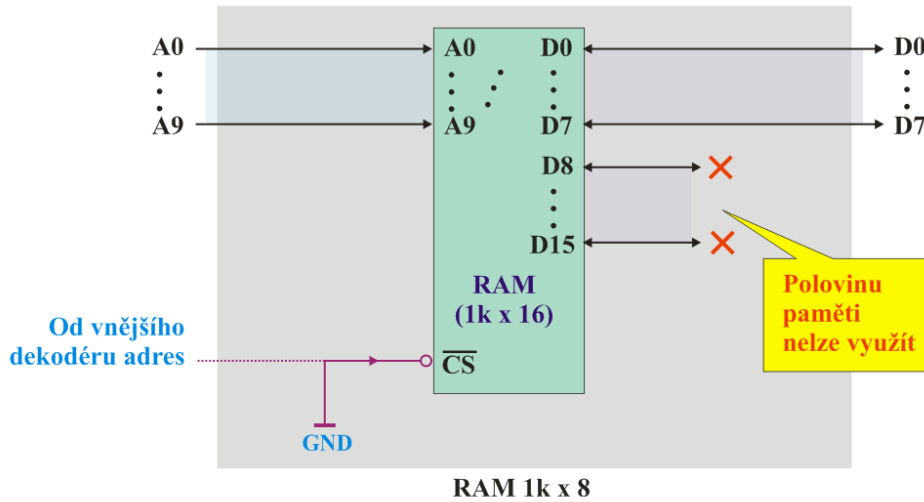
- $1k = 2^{10} \Rightarrow$ adresování 10 adresními vodiči.



Zmenšení délky slova

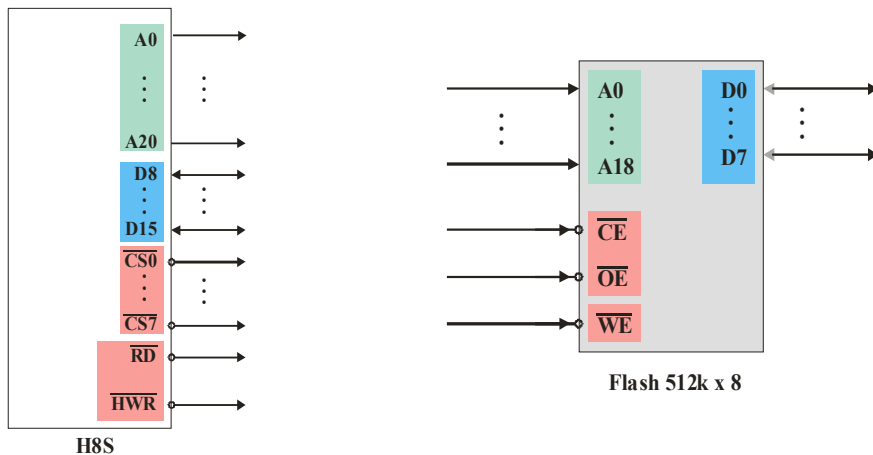
Příklad: Konstrukce paměti $1k \times 8$ z obvodu $1k \times 16$.

- Využije se pouze část paměti.



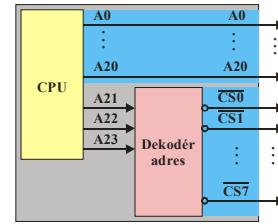
Připojení Flash 512 k × 8 k H8S - zadání

- Úkol: připojit Flash 512 kB k H8S tak, aby byla umístěna v adresním prostoru od adresy 000 000.
 - Paměť má kapacitu 512 kB \Rightarrow A18 – A0 adresují uvnitř paměti. A20 – A19 musíme zavést do dekodéru adres.
 - Paměť má ležet od adresy 000 000 \Rightarrow musí být aktivní /CS0.



Připojení Flash 512 k × 8 k H8S - analýza

- Paměť má kapacitu 512 kB ⇒ A18 – A0 adresují uvnitř paměti.
- A23 – A21 jsou dekódovány v H8S.
- A20 – A19 musíme zavést do dekodéru adres.
- Paměť má ležet od adresy 000 000 ⇒ musí být aktivní /CS0.



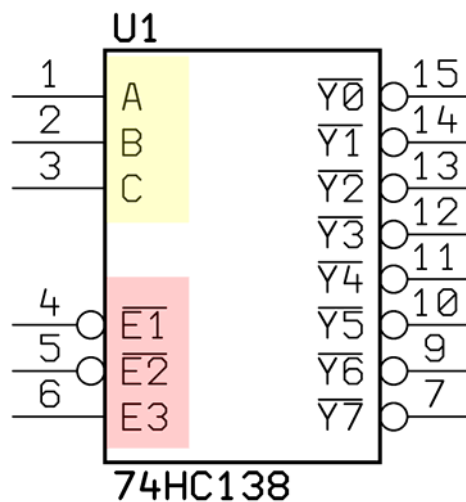
Dekódováno v H8S			Externí dekodér		Adresa uvnitř Flash							
A23	A22	A21	A20	A19	A18	A17	A16	...	A1	A0		
0	0	0	0	0	0	0	0	...	0	0		
0	0	0	0	0	1	1	1	...	1	1		

0
7
FFFF

FFF	FFF
F80	000
~	
17F	FFF
100	000
0FF	FFF
080	000
07F	FFF
000	000

Připojení Flash 512 k × 8 k H8S – dekodér (1)

- Dekodér adres 74HC138



Připojení Flash 512 k × 8 k H8S dekodér (2)

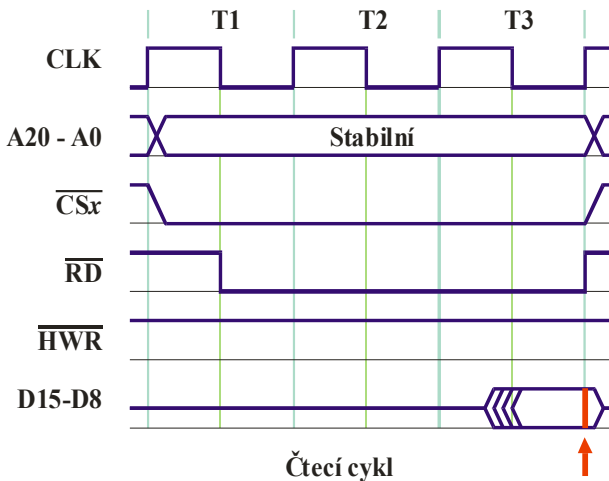
- Pravdivostní tabulka dekodéru adres 74HC138

TRUTH TABLE 'HC138, 'HCT138

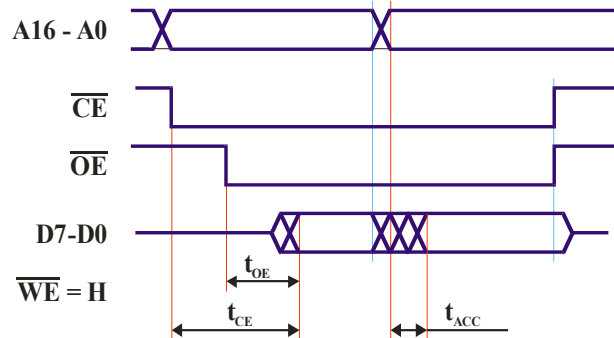
INPUTS						OUTPUTS							
ENABLE			ADDRESS										
E3	E2	E1	A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

H = High Voltage Level, L = Low Voltage Level, X = Don't Care

Signály na sběrnici H8S a na vývodech Flash



Sběrnice H8S



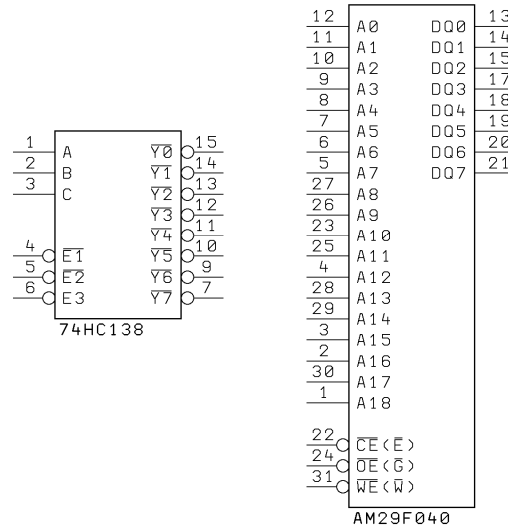
Flash

Připojení Flash 512 k × 8 k H8S - součástky

- Použité součástky

Datová sběrnice [D15 - D8]

Adresní sběrnice [A21 - A0, /CS0 - /CS7]

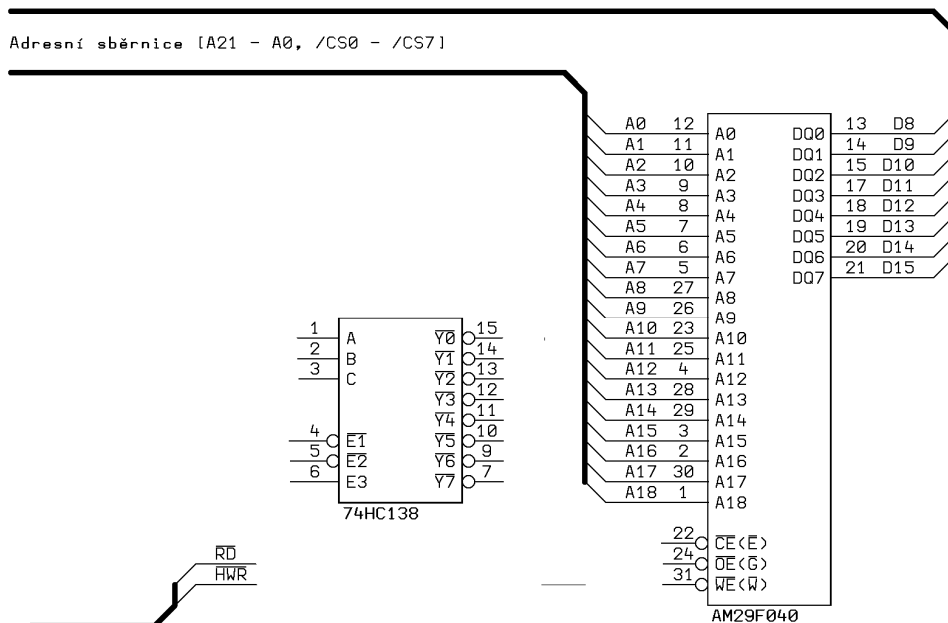


Řídicí sběrnice [/RD, /HWR, /WAIT]

Připojení Flash 512 k × 8 k H8S – krok 1

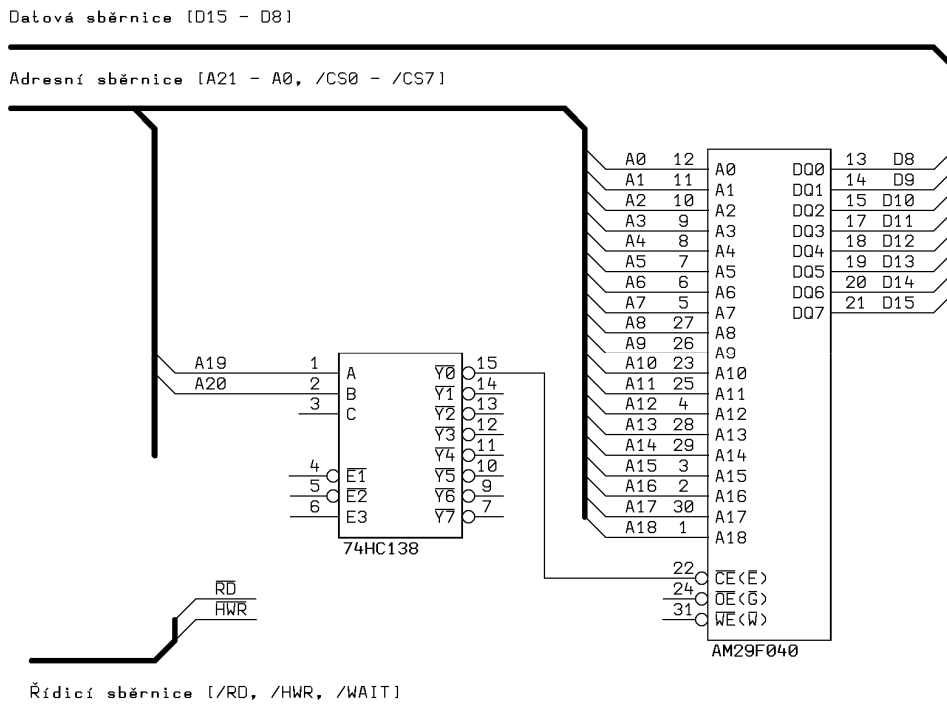
Datová sběrnice [D15 - D8]

Adresní sběrnice [A21 - A0, /CS0 - /CS7]

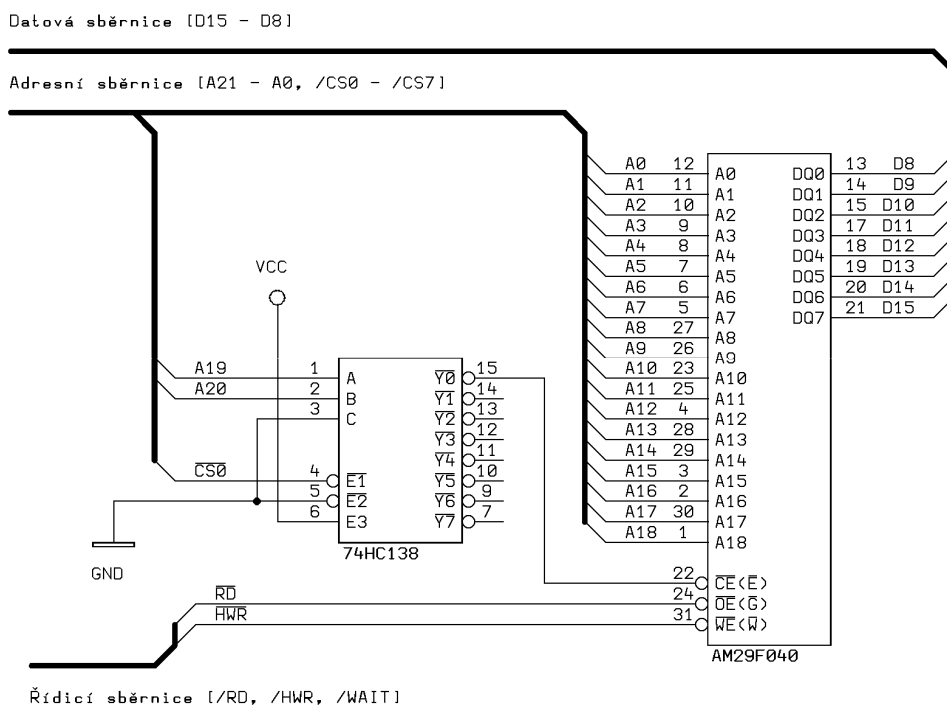


Řídicí sběrnice [/RD, /HWR, /WAIT]

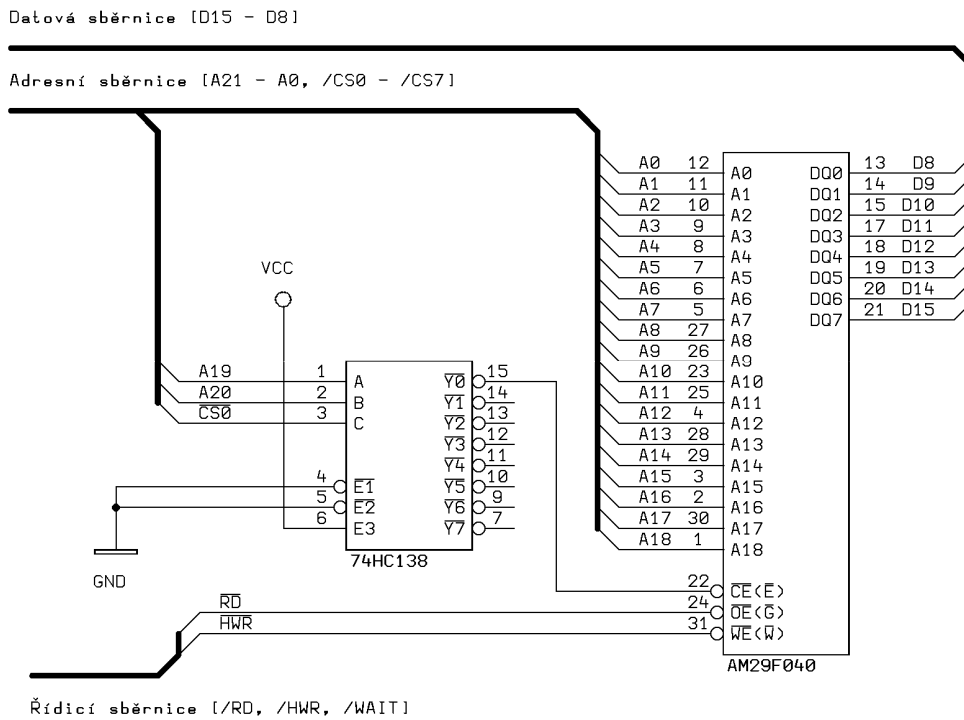
Připojení Flash 512 k × 8 k H8S – krok 2



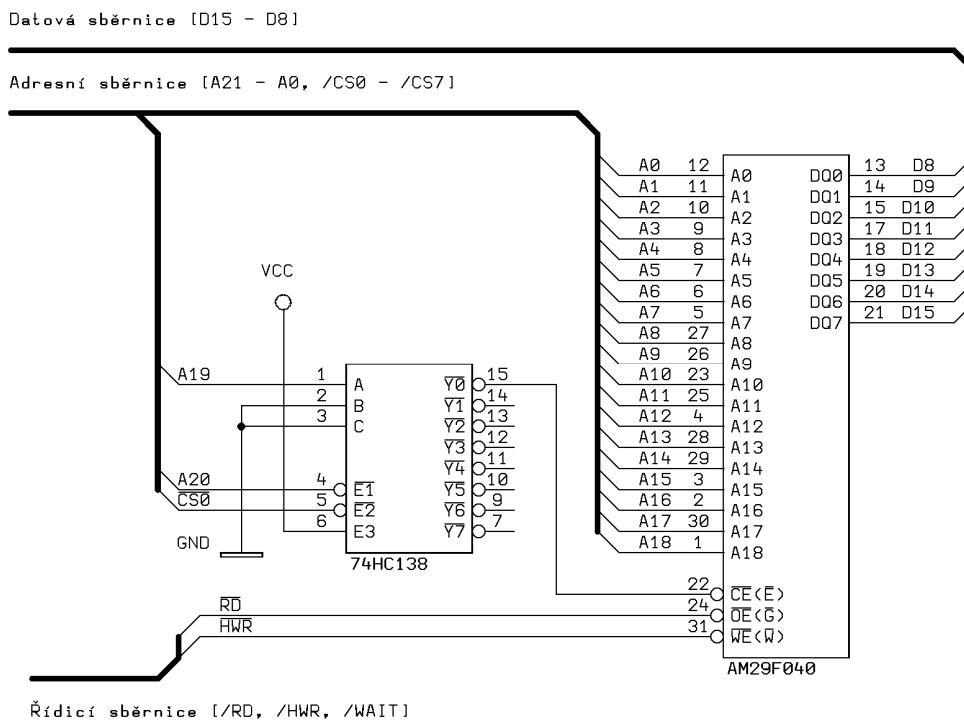
Připojení Flash 512 k × 8 k H8S – celé zapojení



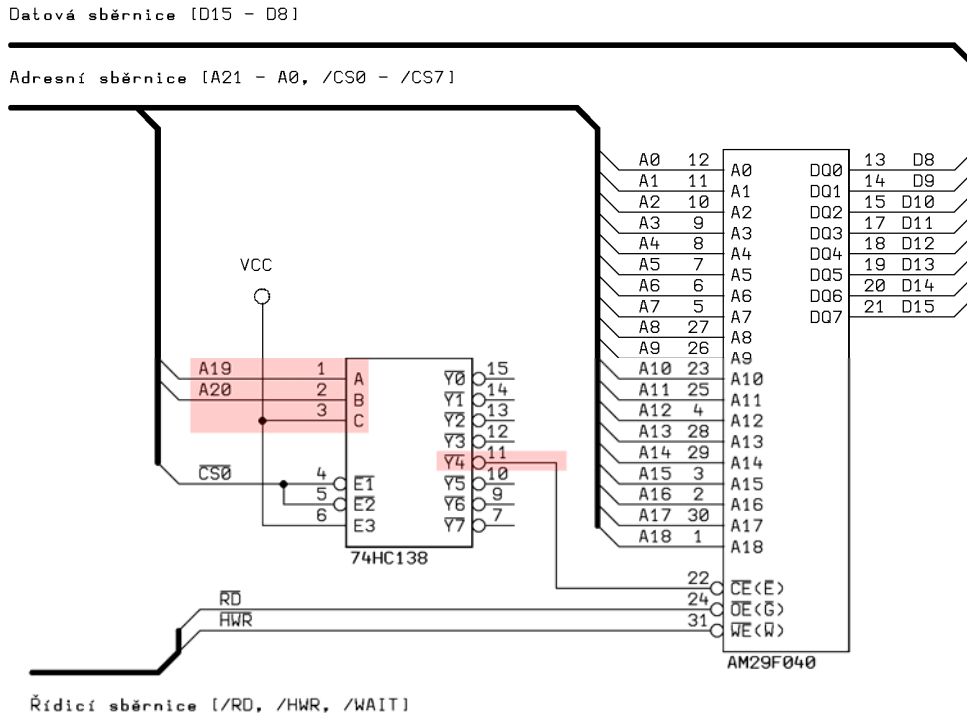
Připojení Flash 512 k × 8 k H8S – varianta 2



Připojení Flash 512 k × 8 k H8S – varianta 3



Připojení Flash 512 k × 8 k H8S – varianta 4



Připojení Flash 512 k × 8 k H8S – jiné zadání

- Úkol: připojit Flash 512 kB k H8S tak, aby byla umístěna v adresním prostoru na adrese **B00 000 – B7F FFF**.

BFF FFF
B80 000
B7F FFF
B00 000
AFF FFF
A80 000
07F FFF
000 000

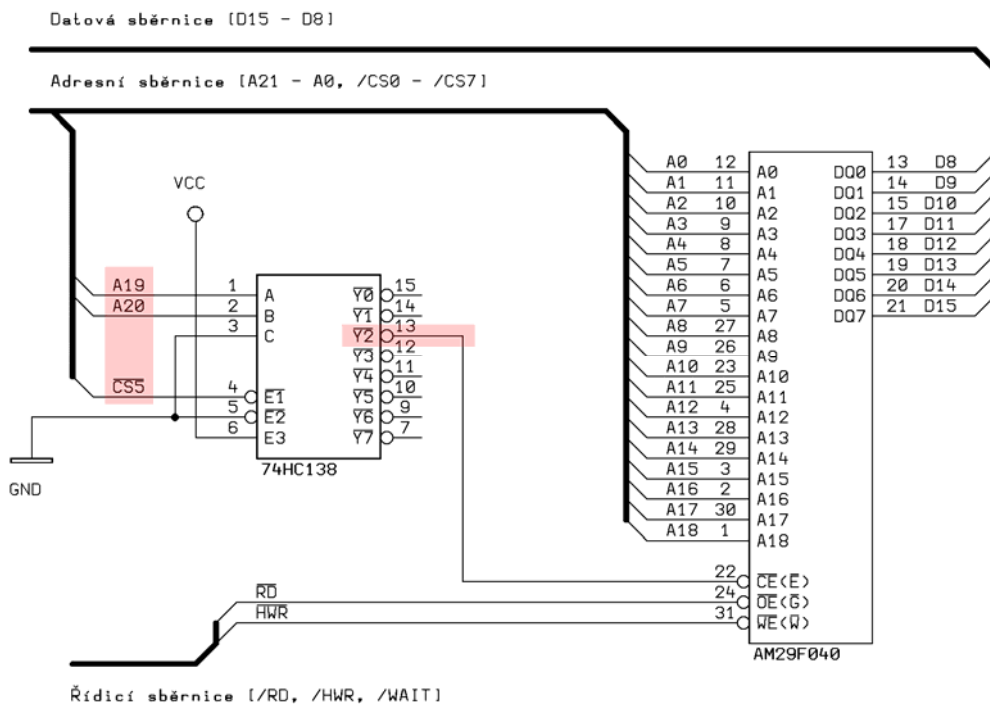
Připojení Flash 512 k × 8 k H8S - analýza

- Paměť má kapacitu 512 kB ⇒ A18 – A0 adresují uvnitř paměti.
- A20 – A19 musíme zavést do dekodéru adres – musí na nich být hodnota **10**.
- A23 – A21 jsou dekodovány v H8S. Pro adresy B00 000 – B7F FFF je aktivní **/CS5**.

BFF FFF
B80 000
B7F FFF
B00 000
AFF FFF
A80 000
07F FFF
000 000

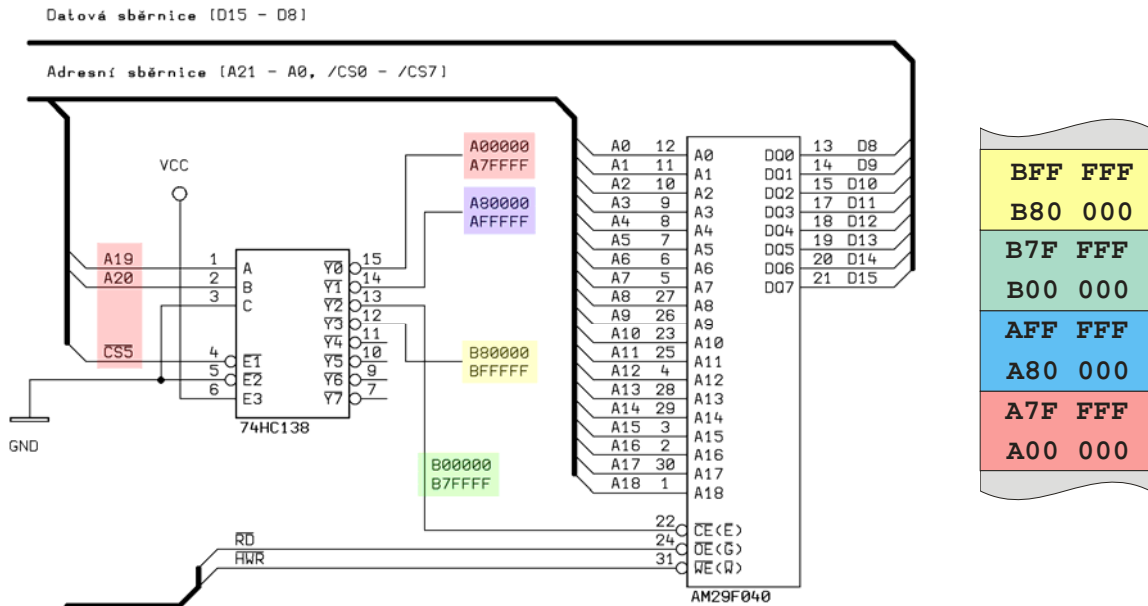
Dekódováno v H8S			Externí dekodér		Adresa uvnitř Flash					
A23	A22	A21	A20	A19	A18	A17	A16...	A1	A0	
1	0	1	1	0	0	0	0	...	0	0
B					0			0 0 0 0		
1	0	1	1	0	1	1	1	...	1	1
B					7			F F F F		

Připojení Flash 512 k × 8 k H8S - schéma



Připojení Flash 512 k × 8 k H8S - vlastnosti

- Výstupy /CS0, /CS1, /CS2 a /CS3 z dekodéru adres lze použít pro připojení 4 ks Flash 512 kB ⇒ celkem 2 MB Flash.



Řídicí sběrnice [/RD, /HWR, /WAIT]
K.D. - přednášky POT

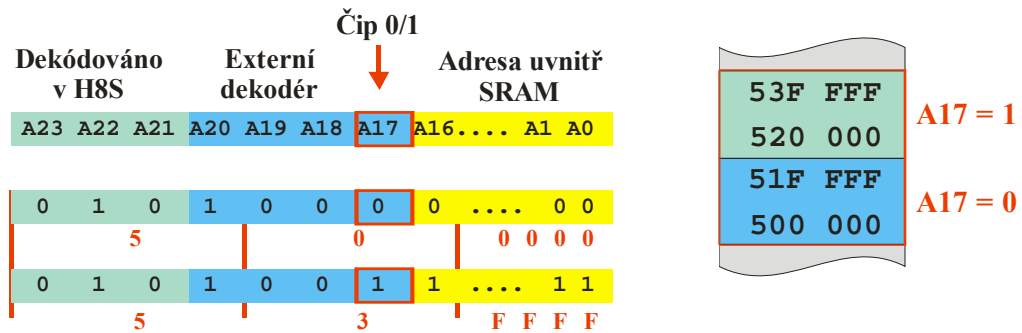
Návrh paměti – SRAM 256 kB - zadání

- Úkol:
 - Sestavit SRAM 256 kB z obvodů 128 kB (128 k × 8).
 - Paměť má být v adresním prostoru umístěna od adresy 500 000.

Návrh paměti – SRAM 256 kB

Další úvahy:

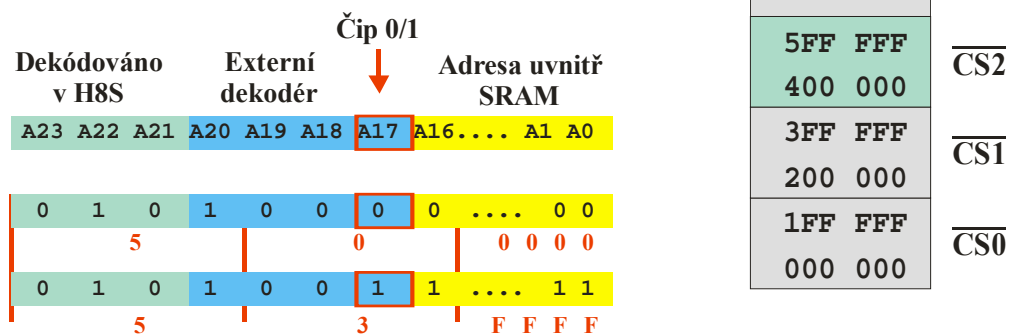
- K dosažení potřebné kapacity jsou zapotřebí dva paměťové obvody.
- Paměťový obvod o kapacitě 128 kB má 17 adresních vodičů (A16 – A0).
- Vodič A17 vybírá jeden ze dvou použitých obvodů.
- Vodiče A18 – A20 zavedeme do dekodéru adres.
- Vodiče A21 – A23 generují signál /CS_x.



Návrh paměti – SRAM 256 kB

Další úvahy:

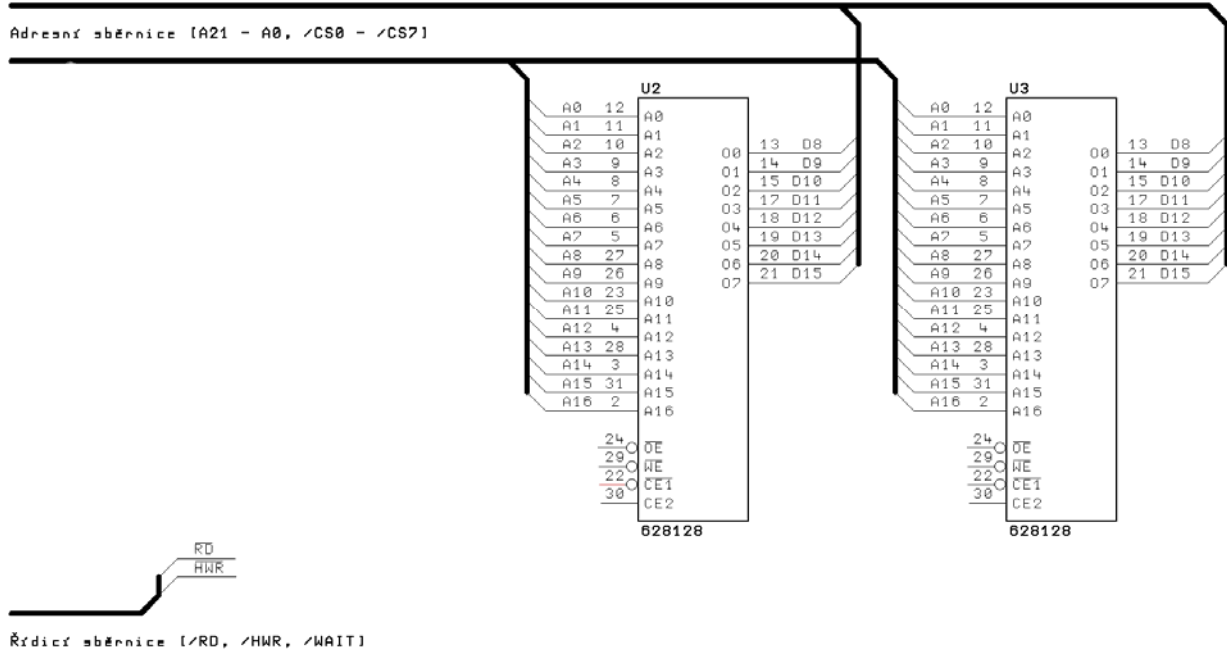
- K dosažení potřebné kapacity jsou zapotřebí dva paměťové obvody.
- Paměťový obvod o kapacitě 128 kB má 17 adresních vodičů (A16 – A0).
- Vodič A17 vybírá jeden ze dvou použitých obvodů.
- Vodiče A18 – A20 zavedeme do dekodéru adres.
- Vodiče A21 – A23 generují signál /CS_x.



Návrh paměti – SRAM 256 kB – 1. krok

Datová sběrnice [D15 - D0]

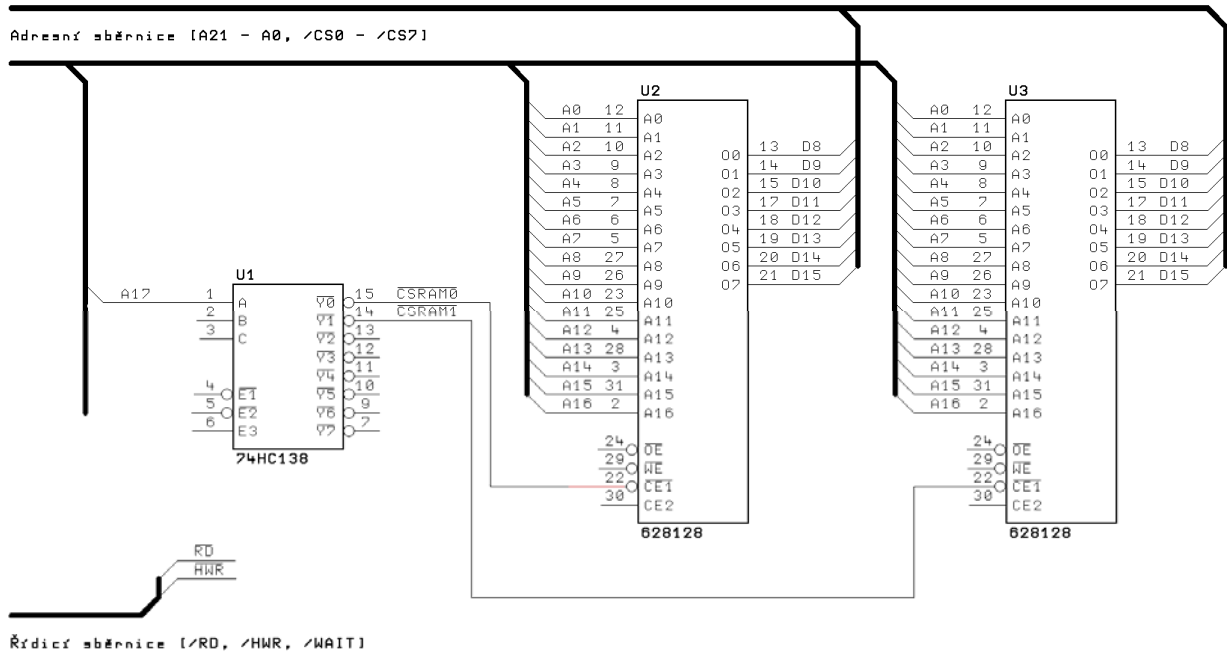
Adresní sběrnice [A21 - A0, /CS0 - /CS7]



Návrh paměti – SRAM 256 kB – 2. krok

Datová sběrnice [D15 - D0]

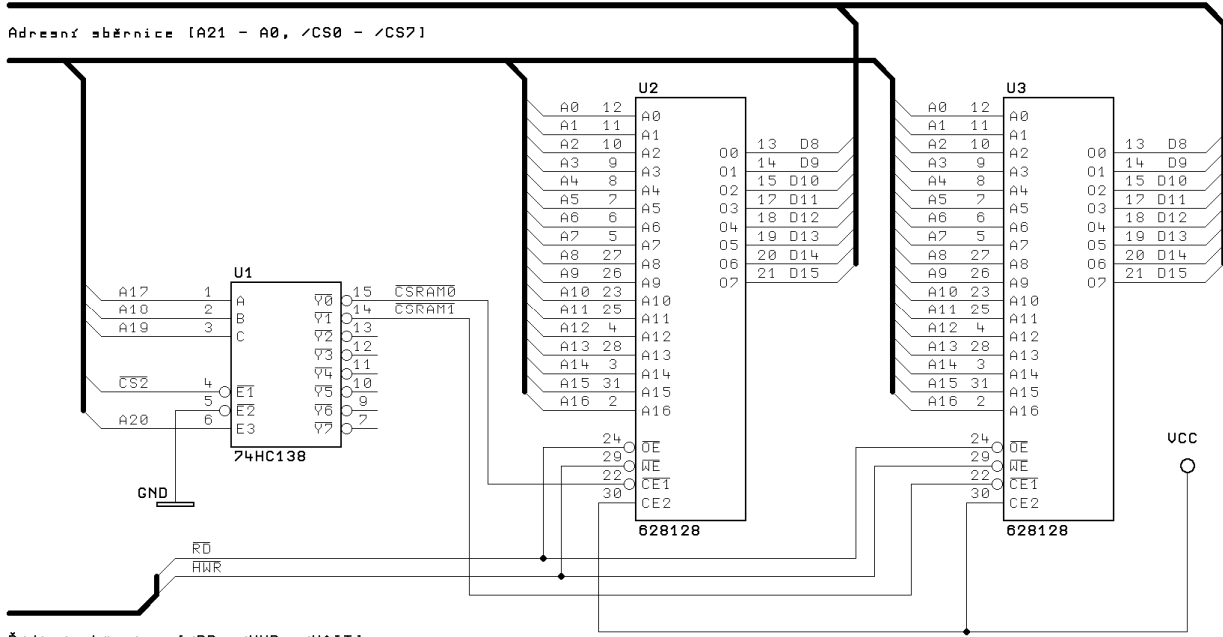
Adresní sběrnice [A21 - A0, /CS0 - /CS7]



Návrh paměti – SRAM 256 kB – zapojení

Datová sběrnice [D15 - D8]

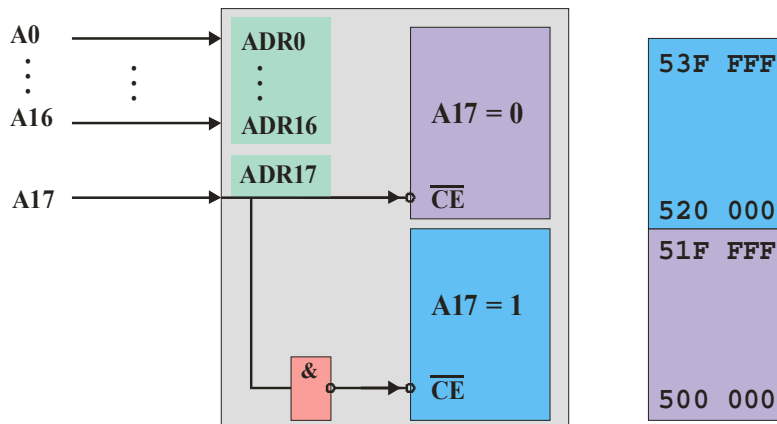
Adresní sběrnice [A21 - A0, /CS0 - /CS7]



Řídicí sběrnice [/RD, /HWR, /WAIT]

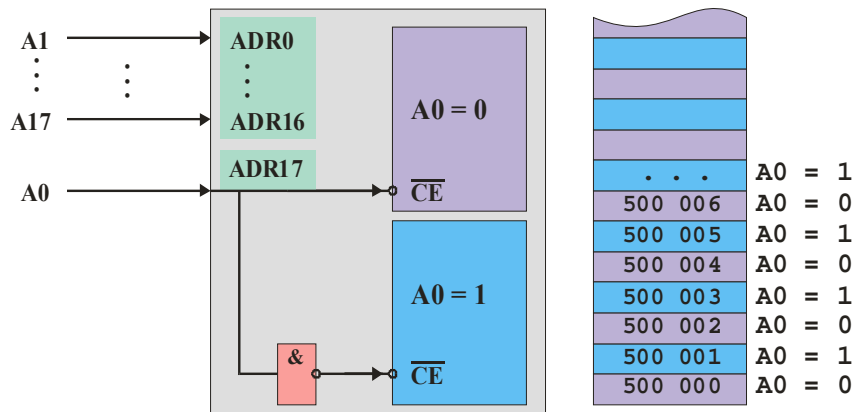
Mapa adresního prostoru paměti 256 kB

- Paměť 256 kB lze považovat za ucelený blok.
- Vodič A17 vybírá jeden ze dvou paměťových obvodů ⇒ Každý paměťový obvod pokrývá *souvisle* část bloku o velikosti 128 kB.



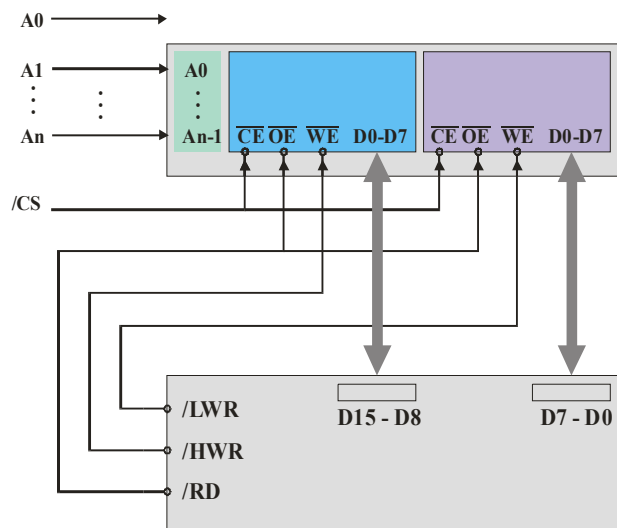
Jiná varianta zapojení SRAM

- Paměť 256 kB lze považovat za ucelený blok.
- Vodič A0 z adresní sběrnice je připojen na vstup ADR17 paměťového bloku \Rightarrow A0 vybírá jeden z paměťových obvodů.
- Paměťový prostor pokrytý jednotlivými obvody není souvislý.



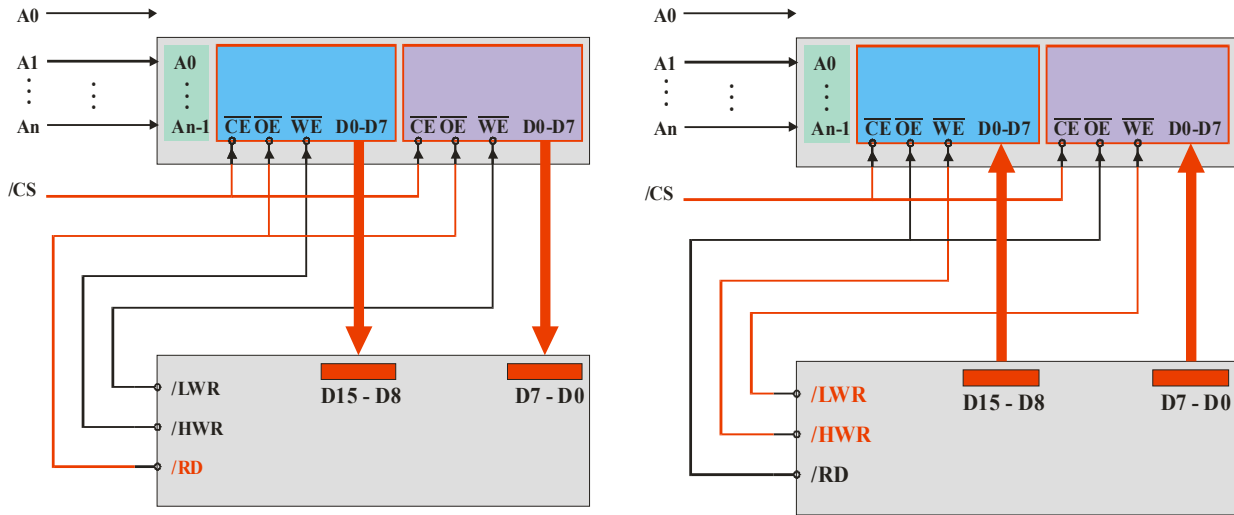
Práce H8S s 16bitovou pamětí (1)

- Vodič A0 je využit pouze interně v H8S, do paměti se nezapojuje.
- 16bitové přístupy vyžadují „word alignment“.
- Při 8bitovém čtení se čte z paměti celé slovo. Podle A0 se horní nebo dolní část nevyužije.
- Při 8bitovém zápisu se zapisuje pouze dolní nebo horní polovina slova signálem /LWR nebo /HWR.



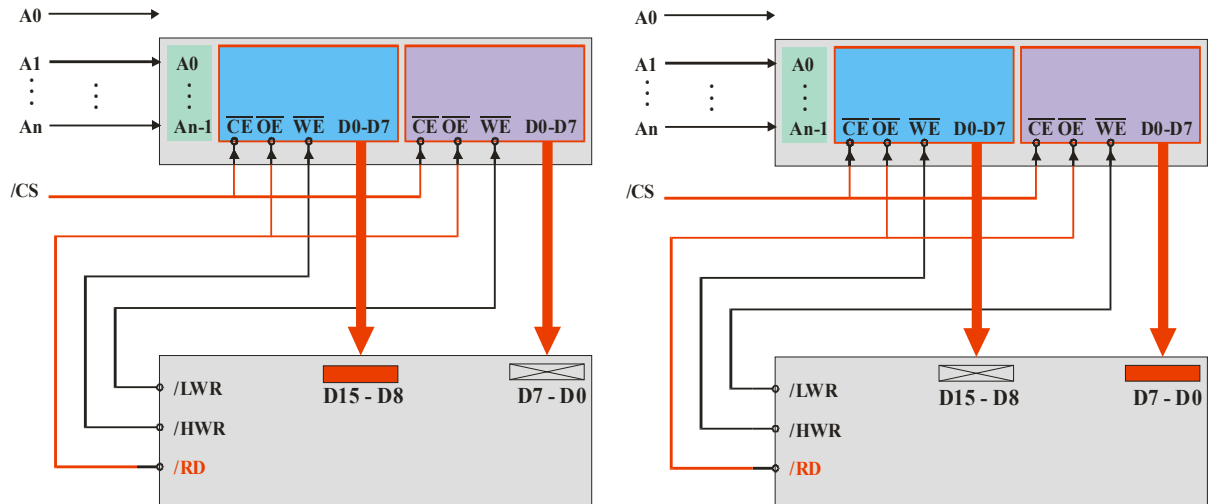
Práce H8S s 16bitovou pamětí (2)

- 16bitové čtení a zápis.



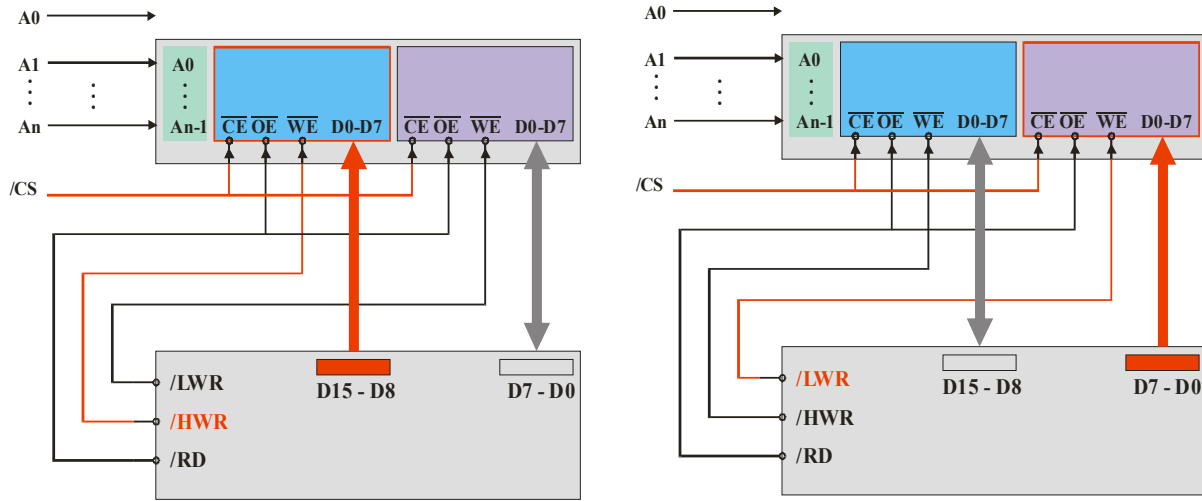
Práce H8S s 16bitovou pamětí (3)

- 8bitové čtení.



Práce H8S s 16bitovou pamětí (4)

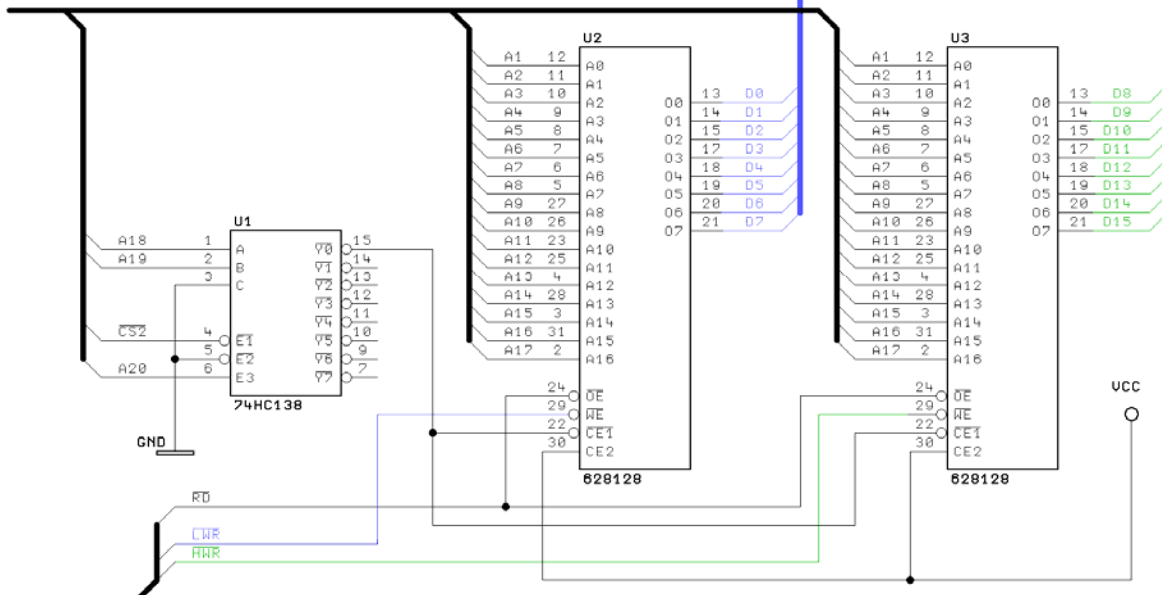
- 8bitový zápis.



Zapojení 16bitové paměti

Datová sběrnice [D15 - D0]

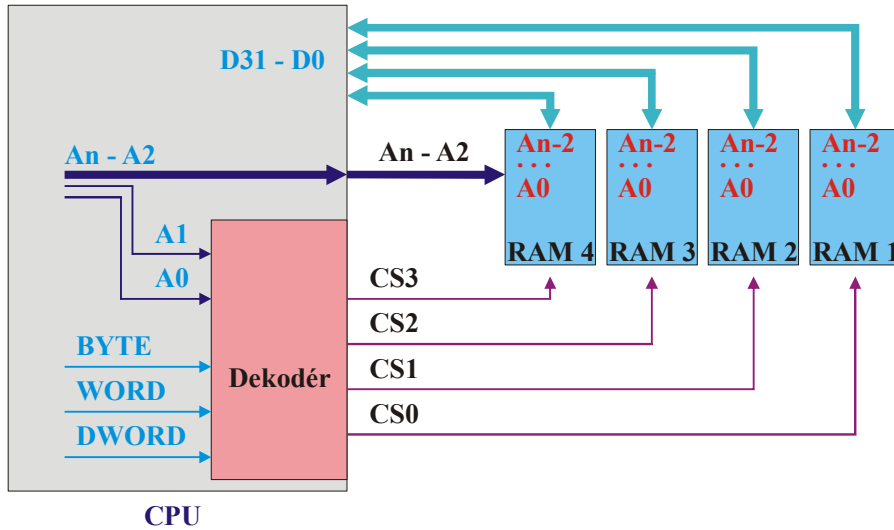
Adresní sběrnice [A21 - A0, /CS0 - /CS7]



Rýdicí sběrnice [/RD, /HWR, /LWR, /WAIT]

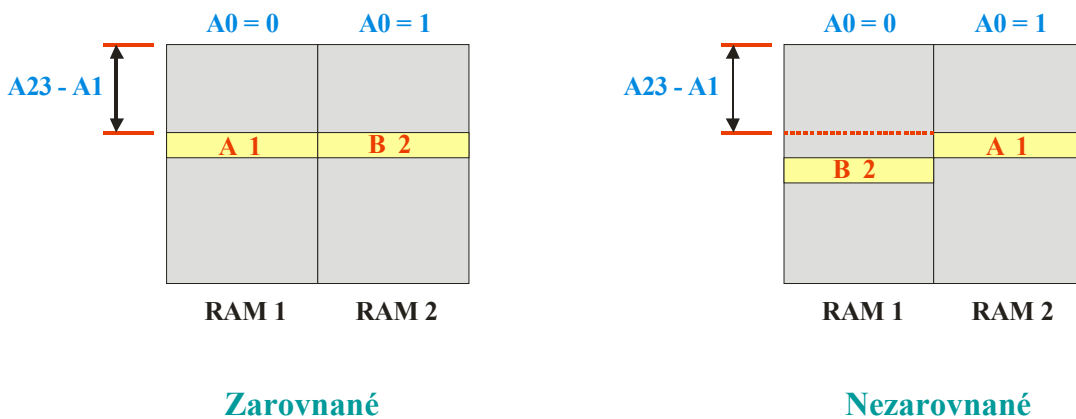
Připojení pamětí – 32bitová sběrnice

- Adresní vodiče A1 a A0 jsou interně dekodovány.



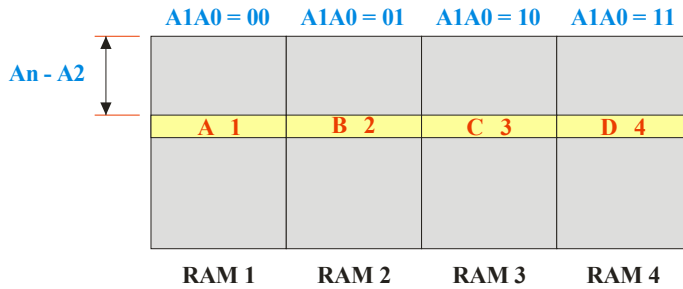
Zarovnání dat v paměti (word)

- Zarovnání „Word Alignment“:
 - Celé slovo má stejnou adresu $An - A1$.
 - Uložené slovo = $0xA1B2$.

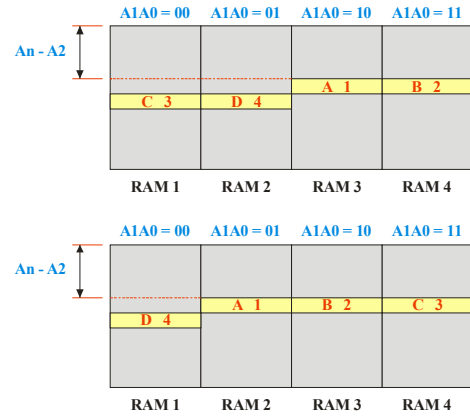


Zarovnání dat v paměti (dword)

- Zarovnání „DWord Alignment“:
 - Celé slovo má stejnou adresu $A_n - A_2$.
 - Uložené slovo = **0xA1B2C3D4** .



Zarovnané

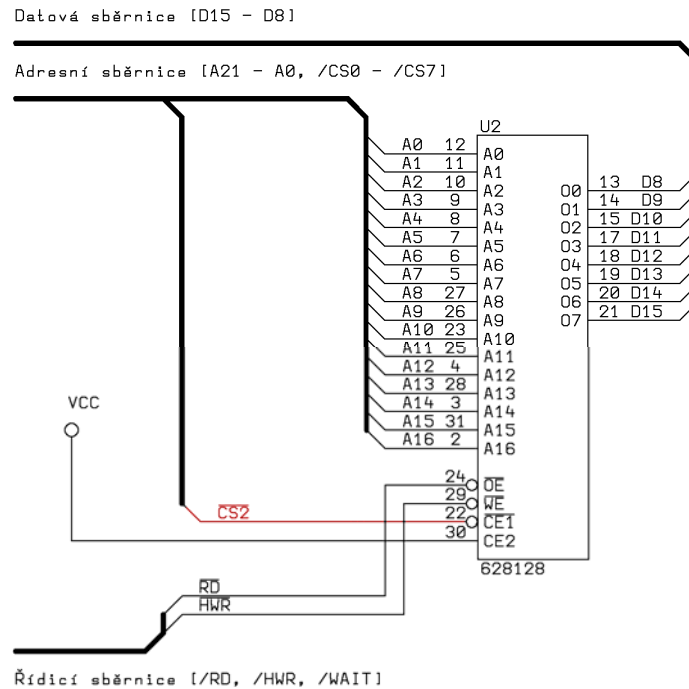


Nezarovnané

Neúplné dekódování adresy (1)

- Některé adresní vývody procesoru jsou nezapojeny \Rightarrow jejich hodnota může být libovolná.
- Každá paměťová buňka má několik adres (zrcadlení), které se liší v adresních bitech odpovídajících nezapojeným adresním vývodům.
- **Příklad:** Paměť SRAM 128 kB zapojená podle následujícího schématu:

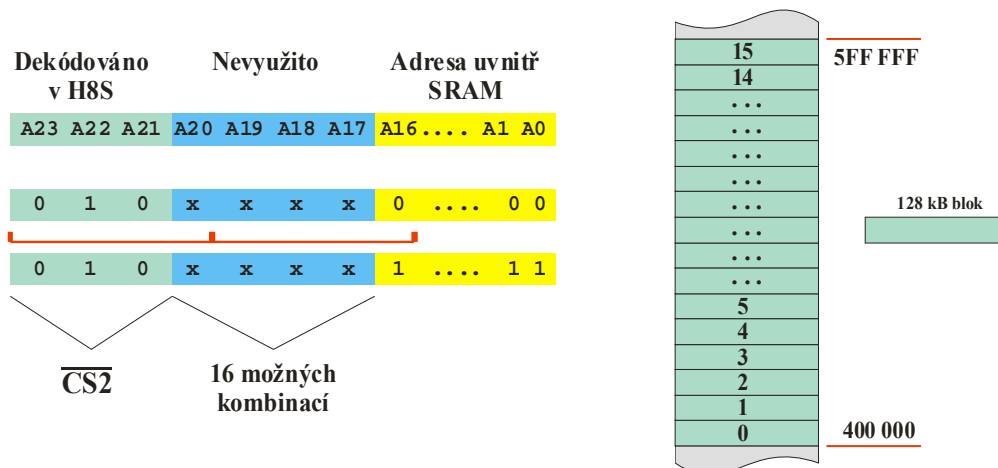
Neúplné dekódování adresy (2)



Neúplné dekódování adresy (3)

Komentář k předchozímu schématu:

- Adresní vodiče A0 – A16 jsou využity v paměti SRAM.
- Adresní vodiče A21 – A23 jsou dekódovány v procesoru H8S. Paměť SRAM je připojena na /CS2 ⇒ vodiče A21 – A20 musí mít hodnotu 010.
- Adresní vodiče A17 – A20 nejsou využity ⇒ každá paměťová buňka má 16 různých adres, které se liší hodnotou A17 – A20.



Neúplné dekódování adresy (4)

Některé použitelné adresy

(všechny adresují v paměti slovo na relativní adrese 0):

- 0100 0000 0000 0000 0000 0000 (0x400000)
- 0101 1110 0000 0000 0000 0000 (0x5E0000)
- 0101 1000 0000 0000 0000 0000 (0x580000)
- 0100 0110 0000 0000 0000 0000 (0x460000)

