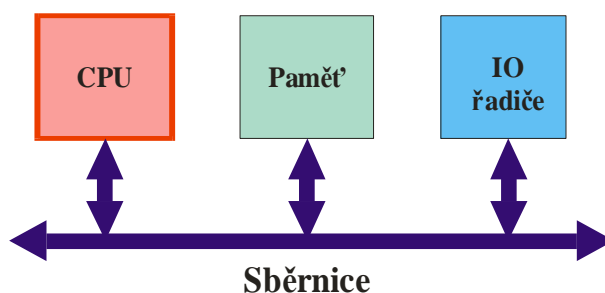


# Systemová sběrnice

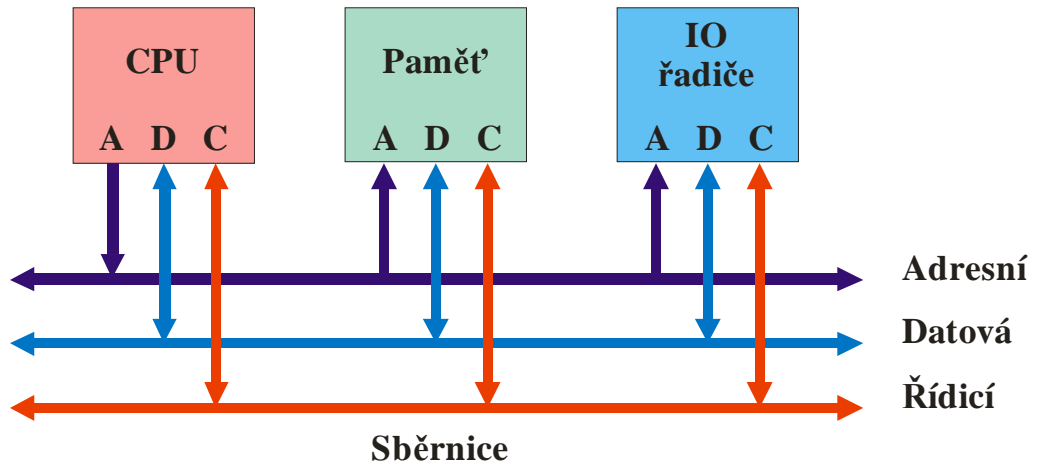
## Sběrnicová architektura

Jednotlivé subsystémy počítače jsou propojeny sběrnicí, po které se přenáší data oběma směry.

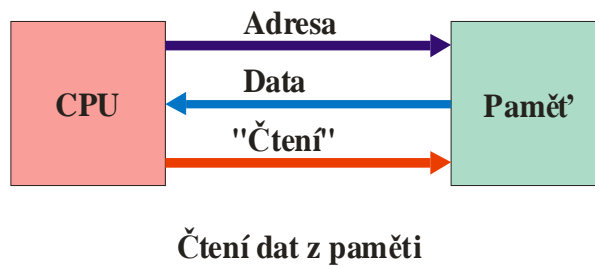
- Single master – jeden procesor na sběrnici,
- Multi master – více procesorů (nebo DMA řadičů) na sběrnici.



# Adresní, datová a řídicí sběrnice



# Operace čtení

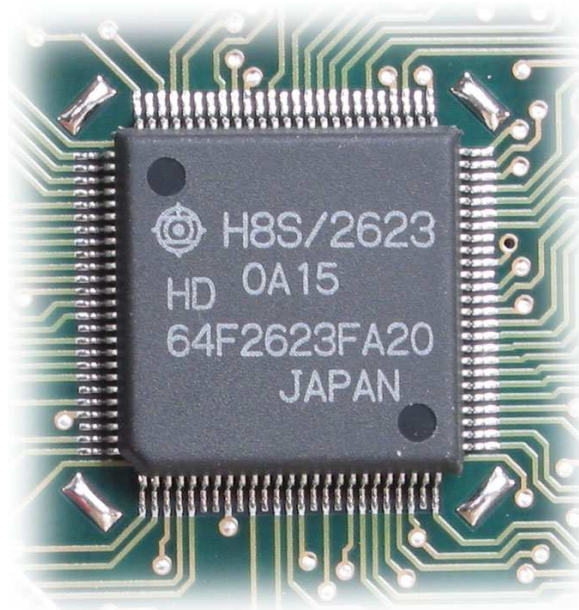


## Operace zápisu



Zápis dat do paměti

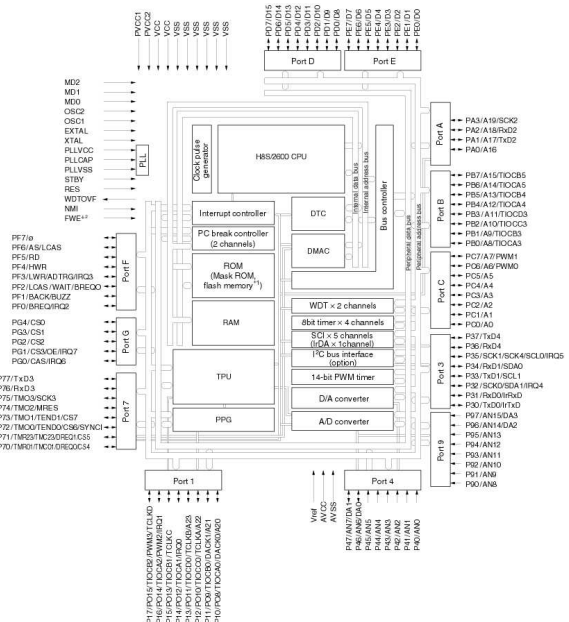
## Procesor H8S



# Procesor H8S

## Základní charakteristiky procesoru H8S

- CLK max. 25 MHz,
- řada specializovaných periférií,
- 21bitová adresní sběrnice (A20 – A0),
- 8/16bitová datová sběrnice (D15 – D0),
- A23 – A20 dekódovány na /CS0 – /CS7,
- další signály: /HWR, /LWR, /RD, /WAIT.

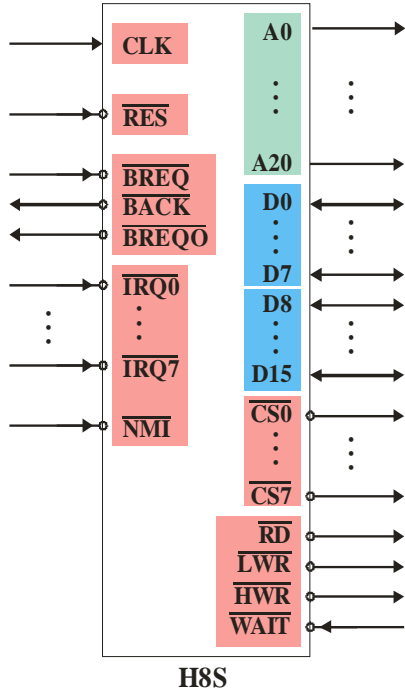


Notes: 1. Applies to the H8S/2633 only.  
2. The FWE pin is used only in the flash memory version.

# Procesor H8S

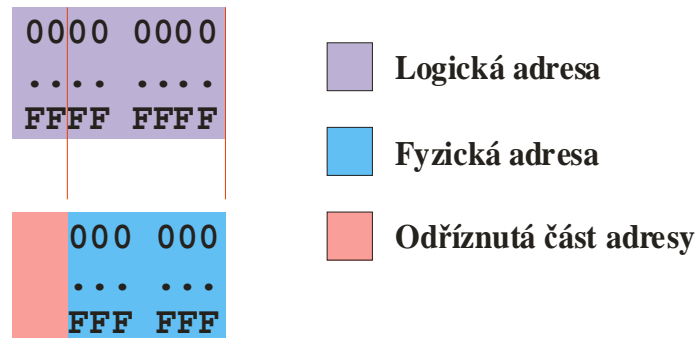
## Některé důležité signály

- CLK hodinový signál,
- A20 – A0 adresní sběrnice,
- D15 – D0 datová sběrnice
- /HWR, /LWR, zápisové signály,
- /RD, čtecí signál,
- /WAIT prodloužení MC
- /IRQn, /NMI přerušovací signály
- /BREQ, /BACK, /BREQ0 uvolnění sběrnice
- /RES reset procesoru.



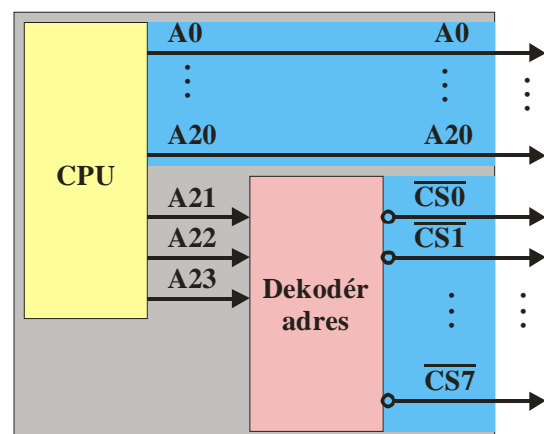
## Fyzická adresa procesoru H8S

- Logická adresa je 32bitová (data) nebo 24bitová (instrukce).
- Fyzická adresa je 24bitová.
- 8 nejvyšších bitů adresy dat se ignoruje.



## Signály /CS0 - /CS7

- Procesor interně dekóduje adresní vodiče A21, A22, A23.
- Dekodér generuje signály /CS0 – /CS7.
- Adresní prostor 16 MB je rozdělen na 8 bloků po 2 MB – každému bloku přísluší jeden /CSx.



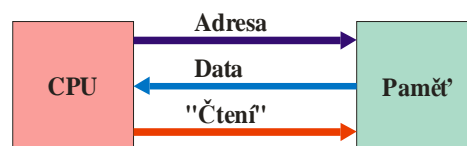
## Signály /CS0 - /CS7

- Procesor interně dekóduje adresní vodiče A21, A22, A23.
- Dekodér generuje signály /CS0 – /CS7.
- Adresní prostor 16 MB je rozdělen na 8 bloků po 2 MB – každému bloku přísluší jeden /CS<sub>x</sub>.

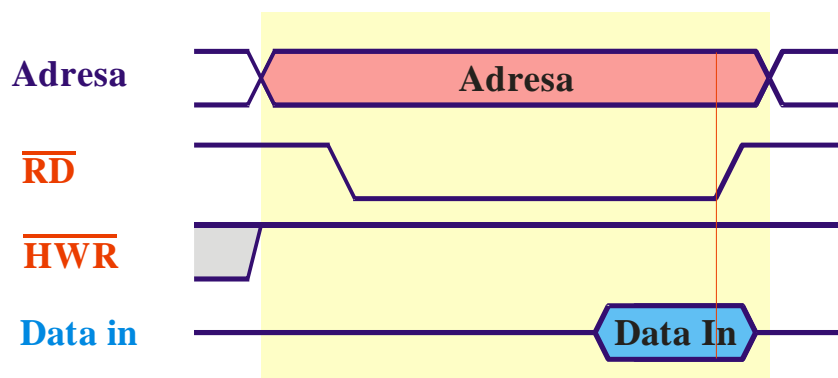
A23	A22	A21	/CS0	/CS1	/CS2	...	/CS7
0	0	0	L	H	H	...	H
0	0	1	H	L	H	...	H
0	1	0	H	H	L	...	H
...			...	...	...	...	...
1	1	1	H	H	H	...	L

## Čtecí cykl sběrnice H8S

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.

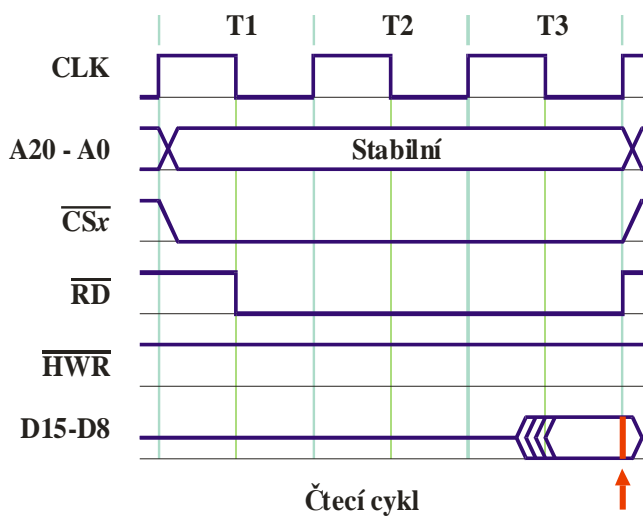
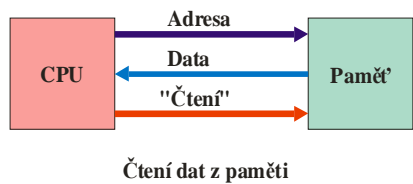


Čtení dat z paměti



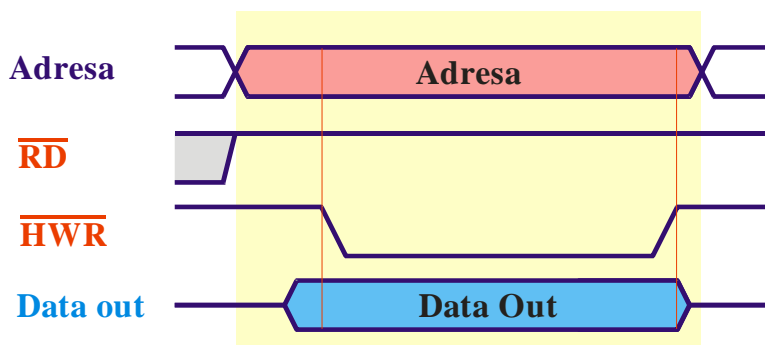
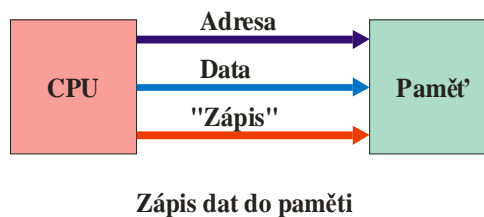
## Čtecí cykl sběrnice H8S detailně

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.



## Zápisový cykl sběrnice H8S

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.

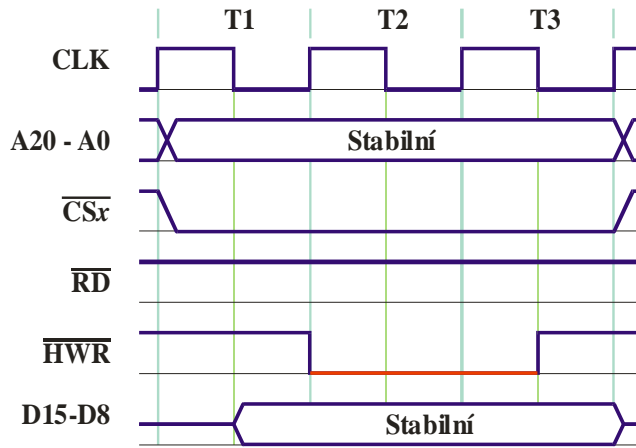


# Zápisový cykl sběrnice H8S detailně

- 2 nebo 3 takty CLK,
- 8 nebo 16 bitů,
- aktivní jeden z /CS0 - /CS7.



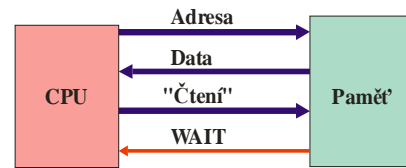
Zápis dat do paměti



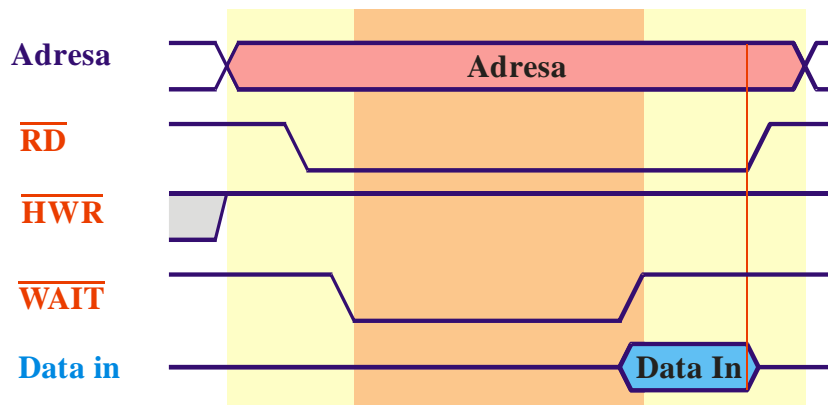
Zápisový cykl

# Vložení čekacích taktů

- Čekacích taktů lze vložit libovolný počet.
- Může to mít další důsledky.



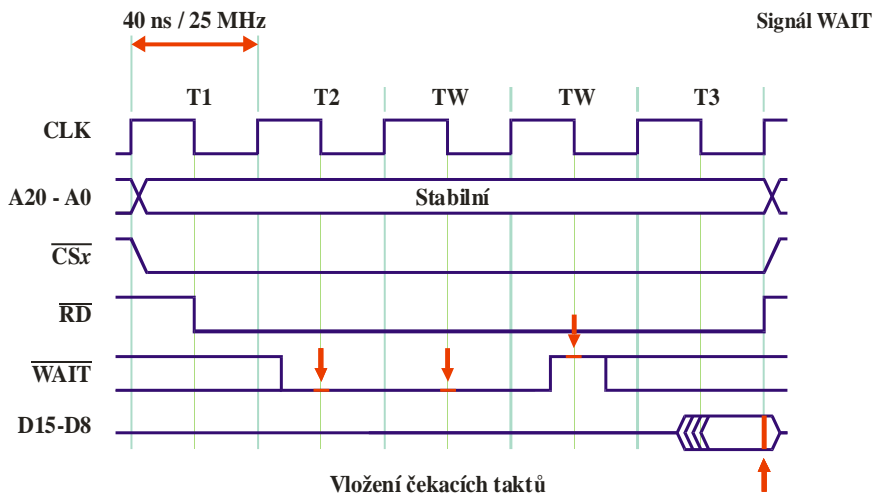
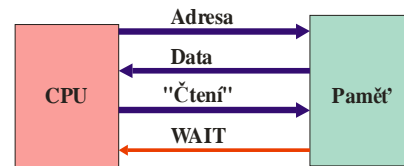
Signál WAIT





## Vložení čekacích taktů detailně

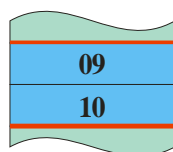
- Čekacích taktů lze vložit libovolný počet.
- Může to mít další důsledky.



## Instrukce ADD.W R1,R0

- Kód instrukce je dlouhý 16 bytů.
- Při provádění ADD.W se čte kód další instrukce.
- Při 8bitové sběrnici vyžaduje každý MC pro čtení/zápis word dva přístupy do paměti.

ADD.W R1,R0



Provedení  
Výběr + WB



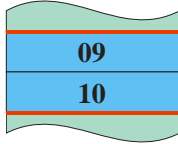
1. MC 2. MC



Další  
instrukce

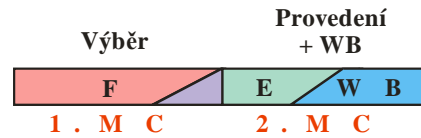
# Instrukce ADD.W R1,R0

ADD.W R1,R0

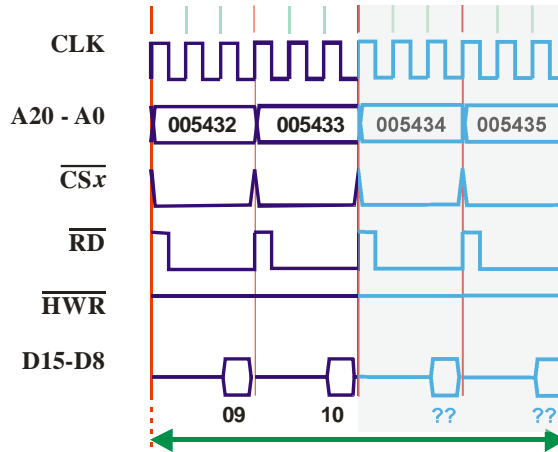


005432

Při 8bitové datové sběrnici vyžaduje každý MC dva přístupy do paměti ⇒ 6 taktů CLK



Další instrukce



Instrukční cykl = 2 MC = 12 taktů  
= 480 ns / 25MHz

# Instrukce ADD.W

Operand Format and Number of States Required for Execution

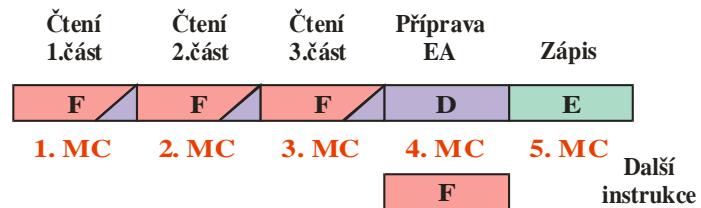
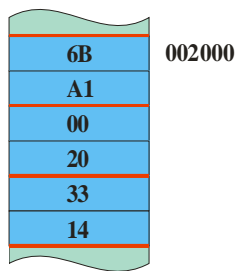
Addressing Mode	Mnemonic	Operands	Instruction Format				No. of States	
			1st byte	2nd byte	3rd byte	4th byte		
Immediate	ADD.W	#xx:16, Rd	7	9	1	rd	IMM	2
Register direct	ADD.W	Rs, Rd	0	9	rs	rd		1

Instruction	1	2	
ADD.B #xx:8,Rd	R:W NEXT		
ADD.B Rs,Rd	R:W NEXT		
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT	
ADD.W Rs,Rd	R:W NEXT		
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT
ADD.L ERs,ERd	R:W NEXT		
ADDS #1/2/4,ERd	R:W NEXT		
ADDX #xx:8,Rd	R:W NEXT		

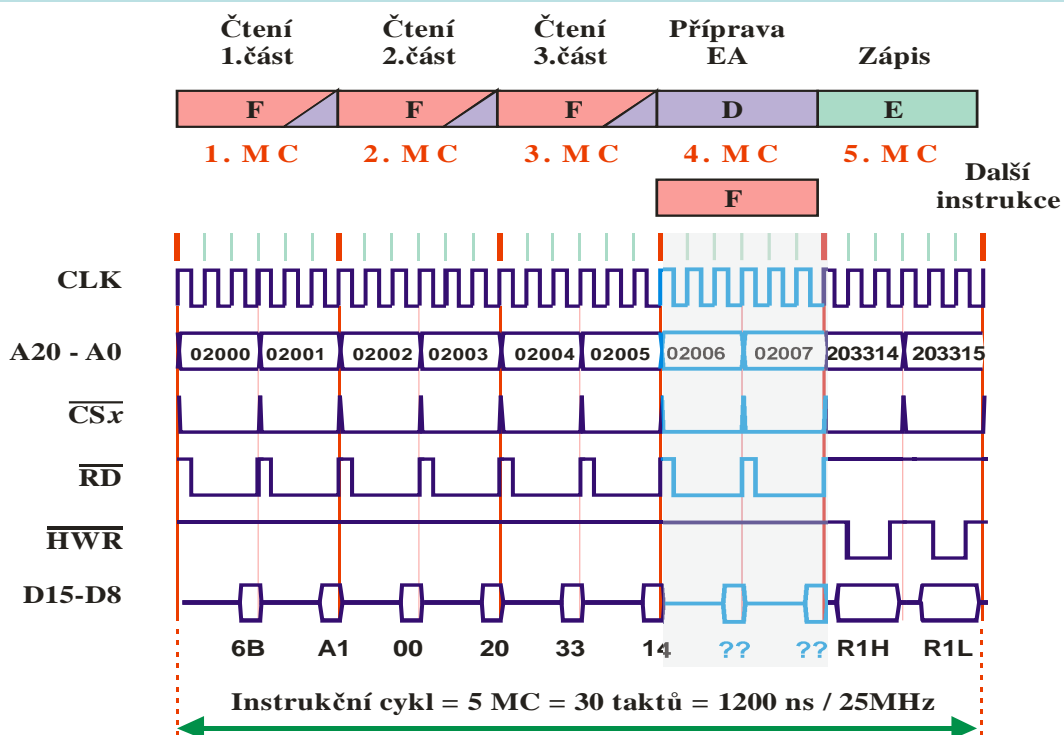
## Instrukce MOV.W R1,@adresa

- Kód je dlouhý celkem 6 bytů.
- Před zápisem operandu 1 MC „příprava EA“ ⇒ čte se další instrukce.
- Provedení = zápis word do paměti.
- Při 8bitové sběrnici vyžaduje každý MC pro čtení/zápis word **dva** přístupy do paměti

MOV.W R1,@00203314



## Instrukce MOV.W R1,@adresa



# Instrukce MOV.W

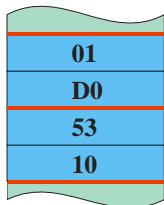
Operand Format and Number of States Required for Execution

Addressing Mode	Mnemonic	Operands	Instruction Format								No. of States		
			1st byte	2nd byte	3rd byte	4th byte	5th byte	6th byte	7th byte	8th byte			
Register indirect	MOV.W	Rs, @ERd	6	9	1:erd	rs							2
Register indirect with displacement	MOV.W	Rs, @(d:16, ERd)	6	F	1:erd	rs	disp						3
	MOV.W	Rs, @(d:32, ERd)	7	8	0:erd	0	6	B	A	rs	disp		5
Register indirect with pre-decrement	MOV.W	Rs, @-ERd	6	D	1:erd	rs							3
Absolute address	MOV.W	Rs, @aa:16	6	B	8	rs	abs						3
	MOV.W	Rs, @aa:32	6	B	A	rs	abs					4	

Instruction	1	2	3	4	5
MOV.W Rs, @(d:16, ERd)	R:W 2nd	R:W NEXT	W:W EA		
MOV.W Rs, @(d:32, ERd)	R:W 2nd	R:W 3rd	R:E 4th	R:W NEXT	W:W EA
MOV.W Rs, @aa:16	R:W 2nd	R:W NEXT	W:W EA		
MOV.W Rs, @aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA	
MOV.W Rs, @-ERd	R:W NEXT	Internal operation, 1 state		W:W EA	
MOVL #xx:32, ERd	R:W 2nd	R:W 3rd	R:W NEXT		
MOVL ERs, ERd	R:W NEXT				
MOVL @ERs, ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2	
MOVL @(d:16, ERs), ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2
MOVL @(d:32, ERs), ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT
MOVL @ERs+, ERd	R:W 2nd	R:W:M NEXT	Internal operation	R:W:M EA	R:W EA+2

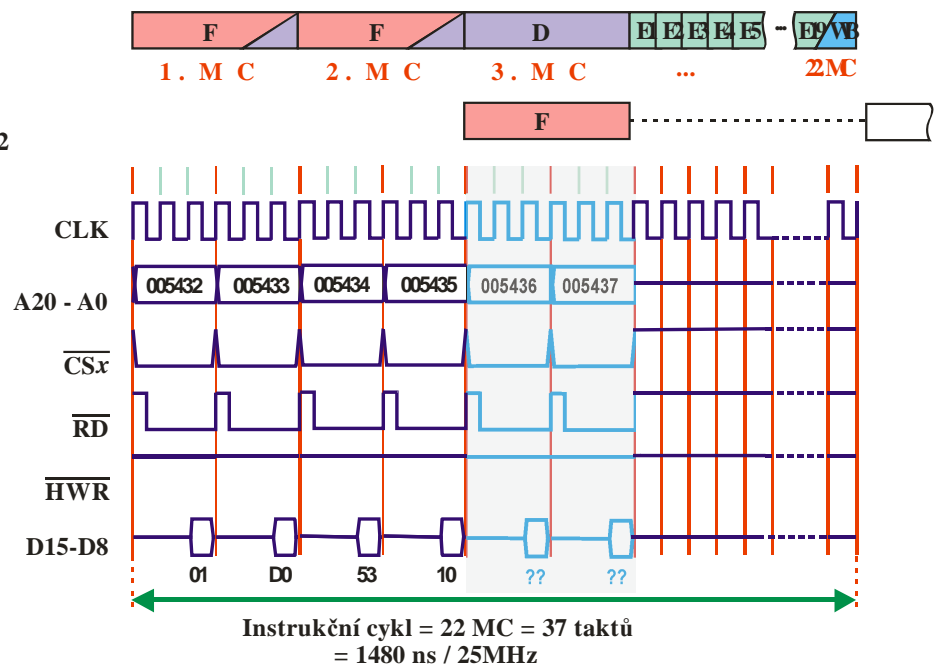
# Instrukce DIVXS R1, ER0

DIVXS.W R1, ER0



005432

Cykly E1 – E19 nevyžadují přístup do paměti ⇒ trvají jen 1 takt CLK



## Instrukce DIVXS.W

### Operand Format and Number of States Required for Execution

Addressing Mode	Mnemonic	Operands	Instruction Format								No. of States	
			1st byte		2nd byte		3rd byte		4th byte			
Register direct	DIVXS.W	Rs, ERd	0	1	D	0	5	3	rs	0	erd	21

DAS Rd	R:W NEXT											
DEC.B Rd	R:W NEXT											
DEC.W #1/2,Rd	R:W NEXT											
DEC.L #1/2,ERd	R:W NEXT											
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	Internal operation, 11 states									
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	Internal operation, 19 states									
DIVXU.B Rs,Rd	R:W NEXT	Internal operation, 11 states										
DIVXU.W Rs,ERd	R:W NEXT	Internal operation, 19 states										
EPMOV.B	R:W 2nd	R:B EAs *1	R:B EAd *1	R:B EAs *2	W:B EAd *2	R:W NEXT						
EPMOV.W	R:W 2nd	R:B EAs *1	R:B EAd *1	R:B EAs *2	W:B EAd *2	R:W NEXT						
EXTS.W Rd	R:W NEXT			← Repeated n times*3 →								
EXTS.L ERd	R:W NEXT											
EXTU.W Rd	R:W NEXT											

## Univerzální sběrnice (1)

- Sběrnice procesoru H8S je používána jen pro tento typ procesoru (tzv. proprietární sběrnice).
- Jiné procesory (Pentium, Power PC, ARM, MIPS, ColdFire, ...) mají též jinou sběrnici.
- Univerzální sběrnice (PCI, VME, AGP, PC104, ... ) :
  - Jsou navrženy bez závislosti na konkrétním typu procesoru.
  - Větší univerzálnost.
  - Pro připojení procesoru, paměti a periferních obvodů jsou obvykle nutné doplňkové obvody.

## Univerzální sběrnice (2)

- Univerzální sběrnice (PCI, VME, AGP, PC104, ... ) :
  - Jsou navrženy bez závislosti na konkrétním typu procesoru.
  - Větší univerzálnost.
  - Pro připojení procesoru, paměti a periferních obvodů jsou obvykle nutné doplňkové obvody.

